

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

EFW



Attorney Docket No. 1514.1040

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Byoung-Deog CHOI, et al.

Application No.: 10/827,326

Group Art Unit:

Filed: April 20, 2004

Examiner:

For: THIN FILM TRANSISTOR AND DISPLAY DEVICE USING THE SAME

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Korean Patent Application No(s). 2003-27339

Filed: April 20, 2004

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: May 7, 2004

By: 

Michael D. Stein
Registration No. 37,240

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0027339
Application Number

출 원 년 월 일 : 2003년 04월 29일
Date of Application APR 29, 2003

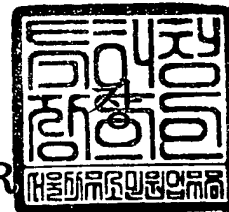
출 원 인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2004 년 04 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.29
【발명의 명칭】	박막 트랜지스터 및 이를 이용한 표시장치
【발명의 영문명칭】	TFT and Flat panel device using the same
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	최병덕
【성명의 영문표기】	CHOI, BYOUNG DEOG
【주민등록번호】	640213-1222317
【우편번호】	449-904
【주소】	경기도 용인시 기흥읍 보라리 558 신창아파트 202-704
【국적】	KR
【발명자】	
【성명의 국문표기】	배성식
【성명의 영문표기】	BAE, SUNG SKI
【주민등록번호】	650925-1009411
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을주공1단지아파트 황골1주 공아 파트 104-1603
【국적】	KR
【발명자】	
【성명의 국문표기】	김원식
【성명의 영문표기】	KIM, WON SIK
【주민등록번호】	670617-1933111

【우편번호】	137-130
【주소】	서울특별시 서초구 양재동 137-1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	19 항 717,000 원
【합계】	746,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 킹크효과를 제거할 수 있는 박막 트랜지스터 및 이를 이용한 평판표시장치를 개시한다.

본 발명의 박막 트랜지스터는 절연기판상에 형성되고, 채널영역 및 소오스/드레인영역을 구비한 액티브층과; 상기 액티브층의 채널영역상부에 형성된 게이트전극과; 상기 액티브층의 소오스/드레인영역상부에 형성된 소오스/드레인 전극과; 그의 일측면이 상기 채널영역과 접하고 상기 소오스/드레인영역과는 분리되도록 상기 액티브층에 형성된 바디콘택영역을 구비한다.

본 발명의 박막 트랜지스터는 채널영역과 드레인영역의 경계부분에서 발생하는 핫캐리어를 바디콘택영역으로 방전시켜 줌으로써, 킹크효과를 감소시킬 수 있다.

【대표도】

도 1a

【명세서】

【발명의 명칭】

박막 트랜지스터 및 이를 이용한 표시장치{TFT and Flat panel device using the same}

【도면의 간단한 설명】

도 1a은 본 발명의 실시예에 따른 박막 트랜지스터의 레이아웃도,

도 1b는 본 발명의 실시예에 따른 액티브층의 레이아웃도,

도 2a 및 도 2b는 본 발명의 박막 트랜지스터의 단면구조도,

도 3은 본 발명의 실시예에 따른 박막 트랜지스터를 이용한 평판표시장치의 레이아웃도,

도 4a 및 도 4b는 종래의 플로팅 바디 TFT와 본 발명의 바디콘택영역을 구비한 TFT의 동작특성도를 도시한 도면,

도 5는 종래의 플로팅바디 TFT와 본 발명의 바디콘택영역을 구비한 TFT에 있어서, 드레인전압에 따른 문턱전압의 변화를 도시한 도면,

도면의 주요 부분에 대한 부호의 설명

30 : 액티브층

31, 33 : 소오스/드레인용 고농도 불순물영역

35 : 채널영역

37 : 바디콘택용 고농도 불순물영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 표시장치에 사용되는 박막 트랜지스터에 관한 것으로서, 보다 구체적으로는 액티브층에 바디콘택용 불순물영역을 형성하여 키크효과를 방지할 수 있는 박막 트랜지스터 및 이를 이용한 평판표시장치에 관한 것이다.

<11> 종래의 평판표시장치에 사용되는 폴리 실리콘 박막 트랜지스터는 섬형태의 액티브층이 플로팅되어 있는 플로팅바디(floating body) TFT 이다. 플로팅바디 TFT는 크기가 축소됨에 따라 드레인층에서의 강한 횡방향 전계에 의한 브레이크다운 및 문턱전압이 변동되는 등의 키크 효과(kink effect)가 발생하는 문제점이 있었다. 즉, 플로팅 바디 TFT는 액티브층이 섬형태의 구조를 가지므로, 드레인층의 강한 횡방향 전계에 의해 발생된 원하지 않는 핫캐리어(hot carrier), 예를 들어 정공을 방전시켜 주기위한 통로가 없어 Kink 효과가 발생하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 액티브층에 핫캐리어를 방전시키기 위한 바디콘택영역을 형성하여 키크효과를 방지할 수 있는 박막 트랜지스터 및 그를 이용한 평판표시장치를 제공하는 데 그 목적이 있다.

【발명의 구성 및 작용】

- <13> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 절연기판상에 형성되고, 채널영역 및 소오스/드레인영역을 구비하는 액티브층을 적어도 포함하며, 상기 채널층에 소정의 전압이 인가되는 박막 트랜지스터를 제공하는 것을 특징으로 한다.
- <14> 상기 액티브층은 그의 일측면이 상기 채널층과 접하고, 상기 소오스/드레인 영역과는 분리되도록 활성층내에 형성된 전원공급층과; 상기 전원공급층에 연결되어 상기 채널층에 소정의 전압을 인가하기 위한 콘택배선을 더 구비한다. 상기 전원공급층은 상기 소오스/드레인영역과 반대도전형을 갖으며, 상기 소오스영역 또는 드레인 영역에 인가되는 전압과 동일한 전압이 인가되는 것을 특징으로 한다.
- <15> 또한, 본 발명은 절연기판상에 형성되고, 채널영역 및 소오스/드레인영역을 구비한 액티브층과; 상기 액티브층의 채널영역상부에 형성된 게이트전극과; 상기 액티브층의 소오스/드레인영역상부에 형성된 소오스/드레인 전극과; 그의 일측면이 상기 채널영역과 접하고 상기 소오스/드레인영역과는 분리되도록 상기 액티브층에 형성된 바디콘택영역을 구비하는 박막 트랜지스터를 제공하는 것을 특징으로 한다.
- <16> 또한, 본 발명은 게이트라인, 데이터라인 및 전원공급라인과; 상기 라인들에 연결되는 다수의 화소를 구비하며, 각 화소는 액티브층에 채널영역, 소오스/드레인영역을 구비하는 적어도 하나이상의 박막 트랜지스터를 구비하며, 상기 박막 트랜지스터는 채널층에 소정의 전압이 인가되는 평판표시장치를 제공하는 것을 특징으로 한다.
- <17> 상기 박막 트랜지스터는 그의 일측면이 상기 채널층과는 접하고, 상기 소오스/드레인 영역과는 분리되도록 활성층내에 형성된 전원공급층과; 상기 전원공급층에 연결되어 상기 채널층

에 소정의 전압을 인가하기 위한 콘택배선을 더 구비한다. 상기 전원공급층은 상기 소오스/드레인영역과 반대도전형질을 갖으며, 상기 데이터라인 또는 전원공급라인에 연결되는 것을 특징으로 한다.

<18> 또한, 본 발명은 매트릭스형태로 배열되어, 각각 적어도 하나의 박막 트랜지스터를 구비하는 다수의 화소를 포함하며, 각 박막 트랜지스터는 채널영역 및 소오스/드레인영역을 구비하는 액티브층과, 상기 소오스/드레인 영역에 연결되는 소오스/드레인전극을 적어도 포함하며, 상기 액티브층은 상기 채널영역에 전원을 제공하기 위한 전원공급층을 더 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.

<19> 또한, 본 발명은 게이트 절연막을 형성하는 제1단계와; 상기 액티브층내에 서로 분리되는 소오스/드레인 영역과 바디콘택영역을 형성하고, 상기 게이트 절연막상에 게이트를 형성하는 제2단계와; 기판전면에 층간 절연막을 형성하는 제3단계와; 상기 층간 절연막상에 상기 소오스/드레인 영역과 전기적으로 콘택되는 소오스/드레인 전극과 상기 바디콘택영역과 전기적으로 연결되는 콘택배선을 형성하는 제4단계를 포함하는 박막 트랜지스터의 제조방법을 제공하는 것을 특징으로 한다.

<20> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

<21> 도 1a는 본 발명의 실시예에 따른 박막 트랜지스터의 레이아웃도이고, 도 1b는 도 1a의 박막 트랜지스터에 있어서, 액티브층의 레이아웃도를 도시한 것이다.

<22> 도 1a 및 도 1b를 참조하면, 본 발명의 실시예에 따른 박막 트랜지스터는 액티브층(30), 게이트전극(50) 및 소오스/드레인 전극(71), (73)을 구비한다. 상기 액티브층(30)은 채널층

(35)을 사이에 두고 형성된 소오스/드레인영역(31), (33)과, 상기 소오스/드레인영역(31), (33)과 분리되어 형성된 바디콘택영역(37)을 구비한다.

<23> 상기 게이트전극(50)은 상기 액티브층(30)중 채널영역(35)에 대응하여 형성된다. 상기 소오스전극(71)은 상기 소오스영역(31)에 대응하여 형성되어, 콘택(61)을 통해 불순물영역(31)과 전기적으로 연결된다. 상기 드레인전극(72)은 상기 드레인영역(32)에 대응하여 형성되어, 콘택(63)을 통해 드레인용 불순물영역(33)과 전기적으로 연결된다. 한편, 상기 바디콘택영역(37)에 대응하여 콘택배선(77)이 형성되는데, 상기 콘택배선(77)은 콘택(67)을 통해 상기 바디콘택영역(37)과 전기적으로 연결되며, 또한 상기 소오스전극(61)과 연결된다.

<24> 본 발명의 실시예에서, 상기 소오스/드레인영역(31)과 바디콘택영역(37)은 서로 다른 도전형질을 갖는다. 예를 들어, 소오스/드레인영역(31)이 고농도의 n형 불순물영역으로 이루어지면, 바디콘택영역(37)은 고농도의 p형 불순물영역으로 이루어진다. 반면에, 소오스/드레인영역(31)이 고농도의 p형 불순물영역으로 이루어지면, 바디콘택영역(37)은 고농도의 n형 불순물영역으로 이루어진다. 이때, 액티브층(37)의 채널영역(35)은 제1 또는 제2도전형질의 불순물이 도핑되지 않은 진성영역이다.

<25> 또한, 본 발명의 실시예에서는 상기 바디콘택영역(37)에 전원을 인가하기 위한 콘택배선(77)을 도 1에서와 같이 소오스전극(71)과 일체로 형성하였지만, 소오스전극(71)과 분리형성하여 소오스전극(71)에 인가되는 전원과 동일한 전원을 인가할 수도 있다. 또한, 콘택배선(77)이 소오스전극(71)과 연결되도록 형성하였으나, 드레인전극(73)에 연결 구성할 수도 있다.

- <26> 도 2a 및 도 2b는 도 1a의 1A-1A'선과 2A-2A' 선에 따른 단면구조를 각각 도시한 것이다. 도 2a 및 도 2b를 참조하여 본 발명의 박막 트랜지스터의 제조방법을 설명하면 다음과 같다.
- <27> 먼저, 절연기판상에 버퍼층(20)을 형성하고, 버퍼층상에 비정질 실리콘막을 증착한 다음 통상적인 결정화방법을 이용하여 폴리실리콘막으로 결정화하며, 폴리실리콘막을 패터닝하여 도 1b와 같은 섬형태의 액티브층(30)을 형성한다. 이어서, 상기 액티브층(30)중 바디콘택영역(37)이 형성될 부분만이 노출되도록 제1감광막(도면상에는 도시되지 않음)을 형성한다. 상기 제1감광막을 마스크로 하여 노출된 액티브층으로 제1도전형의 고농도 불순물을 이온주입하여 바디콘택영역(37)을 형성한다. 상기 바디콘택영역(37)은 그의 일측면에 상기 채널층(35)과 접하도록 형성되어, 상기 채널층(35)에 의해 상기 소오스/드레인 영역(31), (33)과 서로 분리되도록 형성된다.
- <28> 다음, 기판전면에 게이트 절연막(40)을 형성하고, 게이트 절연막(40)상에 금속물질과 같은 도전성물질을 증착한 다음 패터닝하여 게이트전극(50)을 형성한다. 게이트절연막(40)중 상기 바디콘택영역(37)에 대응하는 부분에 제2감광막(도면상에는 도시되지 않음)을 형성하고, 게이트전극(50)과 제2감광막을 마스크로 하여 상기 바디콘택영역(37)과는 반대도전형을 갖는 제2도전형의 불순물을 상기 액티브층(30)으로 이온주입하여 소오스/드레인영역(31), (33)을 형성한다.
- <29> 기판전면에 층간 절연막(60)을 증착한 다음 층간 절연막(60)과 게이트 절연막(40)을 식각하여 상기 소오스/드레인영역(31), (33) 및 바디콘택영역(37)을 각각 노출시키는 콘택(61), (63) 및 (67)을 형성한다. 이어서, 기판전면에 금속물질과 같은 도전성물질을 증착한 다음 패터닝하여 콘택(61), (63)을 통해 상기 소오스/드레인 영역(31), (33)에 각각 연결되는 소오스/

드레인 전극(71), (73)을 형성하고, 콘택(67)을 통해 상기 바디콘택영역(37)에 연결되는 콘택 배선(77)을 형성한다.

<30> 본 발명의 실시예에서, 바디콘택영역(37)은 상기 채널층(35)에 소정을 전압이 인가되도록 하여 상기 채널층(35)에서 발생하는 핫캐리어를 방전시켜 주기 위한 전원공급층의 역할을 하는 것이므로, 상기 액티브층(30)의 구조 및 액티브층(30)중 바디콘택영역(37)이 형성되는 위치는 도 1a 및 도 1b에서와 같이 한정되는 것이 아니다. 따라서, 상기 바디콘택영역(37)이 상기 채널영역(35)에 접하고 상기 소오스/드레인 영역(31), (33)과는 분리되도록 액티브층(30)에 형성되어, 드레인측 채널영역에서 발생하는 원하지 않는 핫캐리어를 방전시켜 주는 구조는 모두 가능하다.

<31> 또한, 본 발명의 실시예에서는 바디콘택영역(37)을 형성하고 소오스/드레인 영역(31), (33)을 형성했으나, 소오스/드레인 영역(31), (33)을 형성한 다음, 게이트 절연막(40)중 바디콘택영역(37)에 대응되는 부분만이 노출되도록 게이트 절연막(40)상에 제1감광막을 형성하고, 제1감광막을 마스크로 액티브층(30)으로 제1도전형의 불순물을 이온주입하여 바디콘택영역(37)을 형성할 수도 있다.

<32> 또한, 본 발명의 실시예에서는 소오스/드레인 영역(31), (33)이 고농도 불순물영역이 이루어지는 박막 트랜지스터에 바디콘택영역(37)을 형성하는 것에 대하여 설명하였으나, 소오스/드레인 영역(31), (33)이 고농도 불순물영역과 저농도 불순물영역의 LDD 구조를 갖는 박막 트랜지스터에도 적용가능하다.

<33> 상기한 바와 같은 구조를 갖는 본 발명의 박막 트랜지스터는 동작중에 드레인 영역의 횡방향 전계에 의해 드레인영역(33)과 채널영역(35)의 경계부분에서 발생하는 핫캐리어가 바디콘

택영역(37)을 통해 빠져 나가도록 하므로써, 핫캐리어가 소오스영역(31)으로 이동하는 것을 방지하여 킹크효과를 방지할 수 있다.

<34> 도 4a 및 도 4b는 종래의 플로팅 바디 TFT와 본 발명의 바디콘택영역을 구비한 TFT의 동작특성도를 도시한 것이다. 도 4a는 $W/L=1\mu m$ 이고, LDD영역의 폭이 $1\mu m$ 인 n형 박막 트랜지스터의 경우에 있어서, 본 발명과 종래의 TFT의 ID-VD 특성을 도시한 것이다. 도 4b는 $W/L=1\mu m$ 인 p형 박막 트랜지스터의 경우에 있어서, 본 발명과 종래의 TFT의 ID-VD 특성을 도시한 것이다.

<35> 도 4a 및 도 4b를 참조하면, 종래의 액티브층이 플로팅되어 있는 TFT 보다 본 발명의 액티브층에 바디콘택영역을 구비한 TFT의 킹크프리(Kink free) 특성이 우수함을 알 수 있다. 이때, n형 TFT와 p형 TFT의 ID-VD 특성의 차이는 정공의 임팩트이온화특성(Impact ionization)이 전자보다 적기 때문이다.

<36> 도 5는 종래의 플로팅 바디 TFT와 본 발명의 바디콘택영역을 구비한 TFT에 있어서, 드레인전압에 따른 문턱전압의 변화를 도시한 것이다. 도 5를 참조하면, 종래의 TFT 보다 본 발명의 TFT가 드레인 전압에 따른 문턱전압의 변화가 적어 보다 안정성이 있음을 알 수 있다.

【발명의 효과】

<37> 상기한 바와같은 본 발명의 실시예에 따르면, 액티브영역에 핫캐리어를 방전시켜 주기위한 바디콘택영역을 형성하여 줌으로써, 킹크효과를 보다 효과적으로 감소시켜 줄 수 있으며, 그에 따라 TFT의 특성을 향상시킬 수 있는 이점이 있다.

<38> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

절연기판상에 형성되고, 채널영역 및 소오스/드레인영역을 구비하는 액티브층을 적어도 포함하며,

상기 채널층에 소정의 전압이 인가되는 것을 특징으로 하는 박막 트랜지스터.

【청구항 2】

제1항에 있어서, 상기 액티브층은

그의 일측면이 상기 채널층과 접하고, 상기 소오스/드레인 영역과는 분리되도록 활성층 내에 형성된 전원공급층과;

상기 전원공급층에 연결되어 상기 채널층에 소정의 전압을 인가하기 위한 콘택배선을 더 구비하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 3】

제2항에 있어서, 상기 전원공급층은 상기 소오스/드레인영역과 반대도전형을 갖으며, 상기 소오스영역 또는 드레인 영역에 인가되는 전압과 동일한 전압이 인가되는 것을 특징으로 하는 박막 트랜지스터.

【청구항 4】

절연기판상에 형성되고, 채널영역 및 소오스/드레인영역을 구비한 액티브층과;

상기 액티브층의 채널영역상부에 형성된 게이트전극과;

상기 액티브층의 소오스/드레인영역상부에 형성된 소오스/드레인 전극과;

그의 일측면이 상기 채널영역과 접하고 상기 소오스/드레인영역과는 분리되도록 상기 액티브층에 형성된 바디콘택영역을 구비하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 5】

제4항에 있어서, 상기 바디콘택영역은 상기 소오스전극 또는 드레인전극중 하나에 연결되는 것을 특징으로 하는 박막 트랜지스터.

【청구항 6】

제4항에 있어서, 상기 바디콘택영역을 상기 소오스전극 또는 드레인 전극에 연결하기 위한 콘택배선을 더 포함하는 것을 특징으로 하는 박막 트랜지스터.

【청구항 7】

제4항에 있어서, 상기 소오스/드레인 영역과 바디콘택영역은 서로 반대도전형을 갖는 불순물영역이며, 상기 채널영역은 진성영역인 것을 특징으로 하는 박막 트랜지스터.

【청구항 8】

게이트라인, 데이터라인 및 전원공급라인과;

상기 라인들에 연결되는 다수의 화소를 구비하며,

각 화소는 액티브층에 채널영역, 소오스/드레인영역을 구비하는 적어도 하나이상의 박막 트랜지스터를 구비하며,

상기 박막 트랜지스터는 채널층에 소정의 전압이 인가되는 것을 특징으로 하는 평판표시 장치.

【청구항 9】

제8항에 있어서, 상기 박막 트랜지스터는

그의 일측면이 상기 채널층과는 접하고, 상기 소오스/드레인 영역과는 분리되도록 활성층 내에 형성된 전원공급층과;

상기 전원공급층에 연결되어 상기 채널층에 소정의 전압을 인가하기 위한 콘택배선을 더 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 10】

제9항에 있어서, 상기 전원공급층은 상기 소오스/드레인영역과 반대도전형을 갖으며, 상기 데이터라인 또는 전원공급라인에 연결되는 것을 특징으로 하는 평판표시장치.

【청구항 11】

매트릭스형태로 배열되어, 각각 적어도 하나의 박막 트랜지스터를 구비하는 다수의 화소를 포함하며,

각 박막 트랜지스터는 채널영역 및 소오스/드레인영역을 구비하는 액티브층과, 상기 소오스/드레인 영역에 연결되는 소오스/드레인전극을 적어도 포함하며,

상기 액티브층은 상기 채널영역에 전원을 제공하기 위한 전원공급층을 더 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 12】

제11항에 있어서, 상기 전원공급층은 상기 소오스전극 또는 드레인전극중 하나에 연결되는 것을 특징으로 하는 평판표시장치.

【청구항 13】

제11항에 있어서, 상기 박막 트랜지스터는 상기 전원공급층을 상기 소오스전극 또는 드레인 전극에 연결하기 위한 콘택배선을 더 포함하는 것을 특징으로 하는 평판표시장치.

【청구항 14】

제11항에 있어서, 상기 전원공급층은 그의 일측면이 상기 채널영역과는 접하고, 상기 소오스/드레인영역과는 분리되도록 형성된 불순물영역인 것을 특징으로 하는 평판표시장치.

【청구항 15】

제11항에 있어서, 상기 전원공급층은 상기 소오스/드레인 영역과는 반대로전형을 갖는 불순물이 도핑된 영역이며, 상기 채널영역은 진성영역인 것을 특징으로 하는 평판표시장치.

【청구항 16】

게이트 절연막을 형성하는 제1단계와;

상기 액티브층내에 서로 분리되는 소오스/드레인 영역과 바디콘택영역을 형성하고, 상기 게이트 절연막상에 게이트를 형성하는 제2단계와;

기판전면에 층간 절연막을 형성하는 제3단계와;

상기 층간 절연막상에 상기 소오스/드레인 영역과 전기적으로 콘택되는 소오스/드레인 전극과 상기 바디콘택영역과 전기적으로 연결되는 콘택배선을 형성하는 제4단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 17】

제16항에 있어서, 제2단계공정은

감광막패턴을 이용하여 제1도전형의 불순물을 이온주입하여 바디콘택영역을 형성하는 단계와;

게이트 전극을 형성하는 단계와;

상기 게이트를 마스크로 하여 상기 제1도전형과는 반대로전형을 갖는 제2도전형의 불순물을 이온주입하여 소오스/드레인 영역을 형성하는 단계를 포함하며,

상기 액티브층중 제1 및 제2도전형의 불순물영역이 도핑되지 않은 부분은 채널층으로 작용하고, 상기 채널층은 상기 소오스/드레인 영역과 바디콘택영역과 접하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 18】

제16항에 있어서, 제2단계공정은

게이트 전극을 형성하는 단계와;

상기 게이트를 마스크로 하여 상기 제1도전형과는 반대로전형을 갖는 제2도전형의 불순물을 이온주입하여 소오스/드레인 영역을 형성하는 단계와;

감광막패턴을 이용하여 제1도전형의 불순물을 이온주입하여 바디콘택영역을 형성하는 단계를 포함하며,

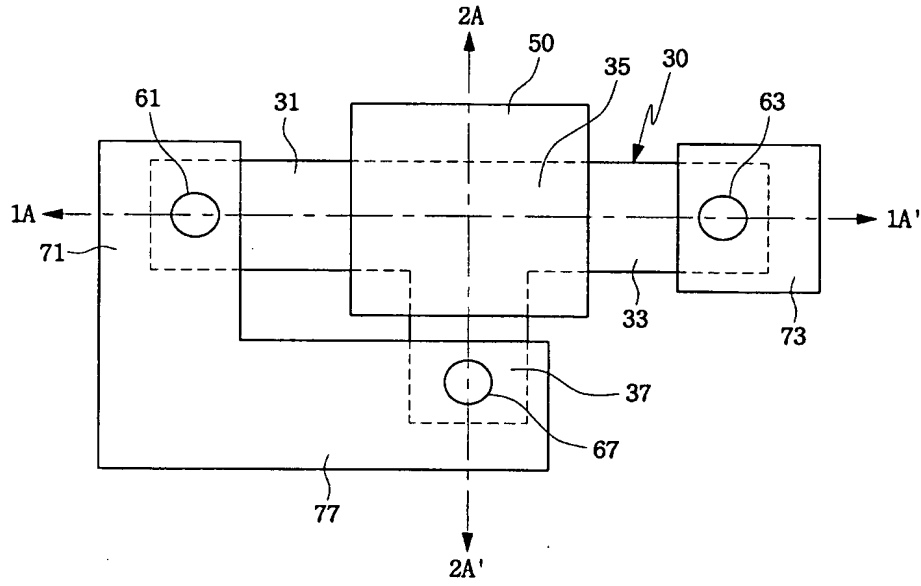
상기 액티브층중 제1 및 제2도전형의 불순물영역이 도핑되지 않은 부분은 채널층으로 작용하고, 상기 채널층은 상기 소오스/드레인 영역과 바디콘택영역과 접하는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【청구항 19】

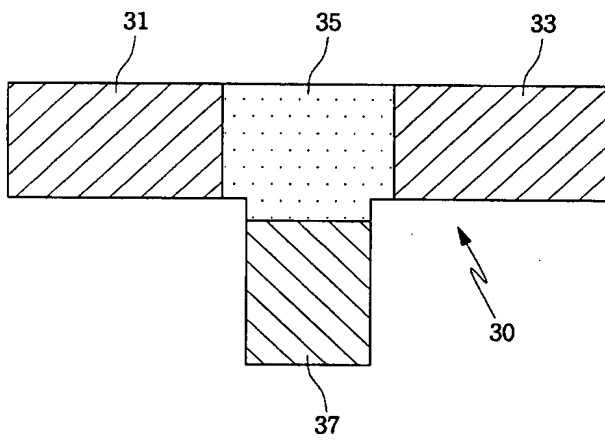
제17항 또는 제18항에 있어서, 상기 콘택배선은 상기 소오스/드레인 전극중 하나에 연결되도록 형성되는 것을 특징으로 하는 박막 트랜지스터의 제조방법.

【도면】

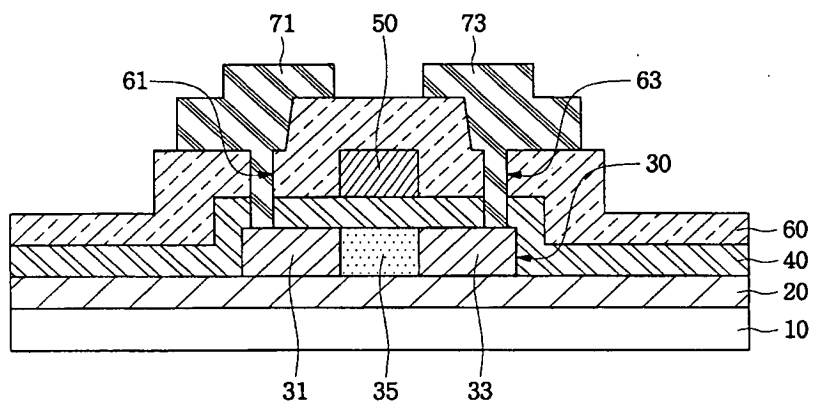
【도 1a】



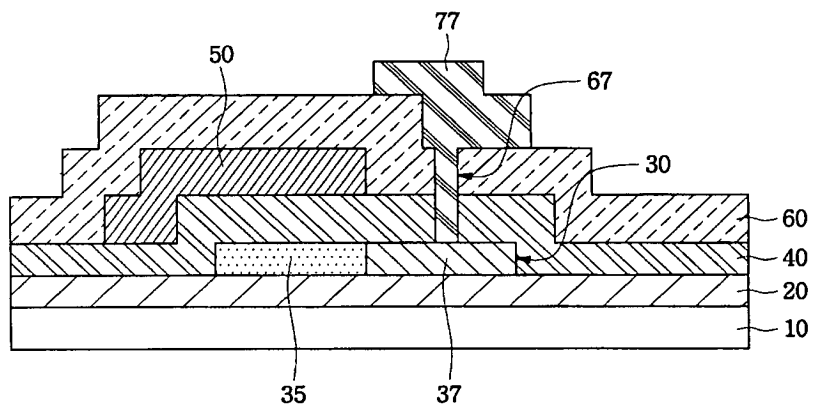
【도 1b】



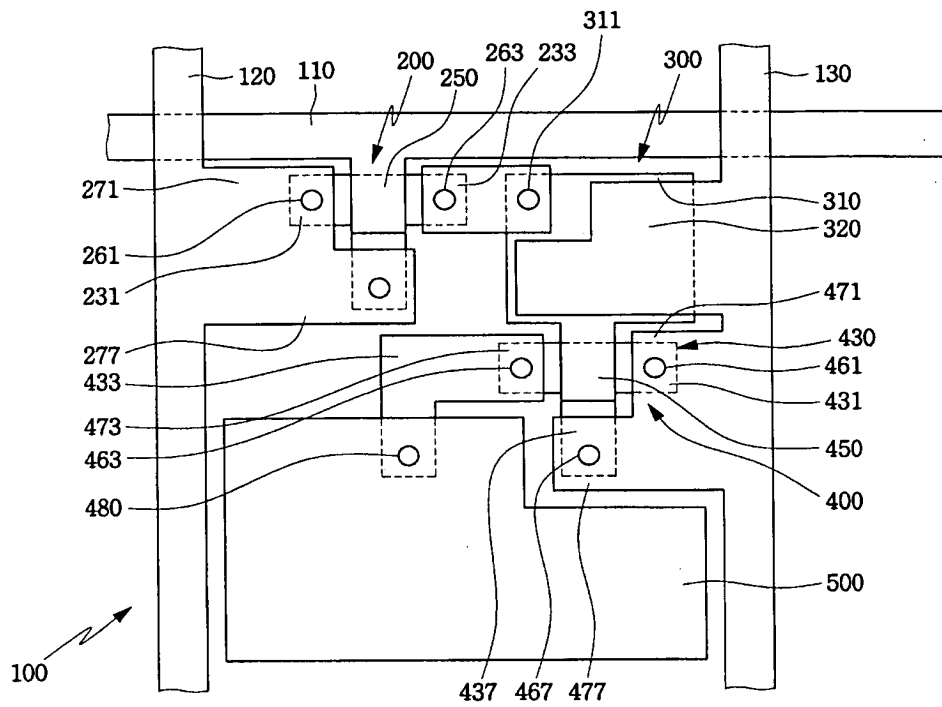
【도 2a】



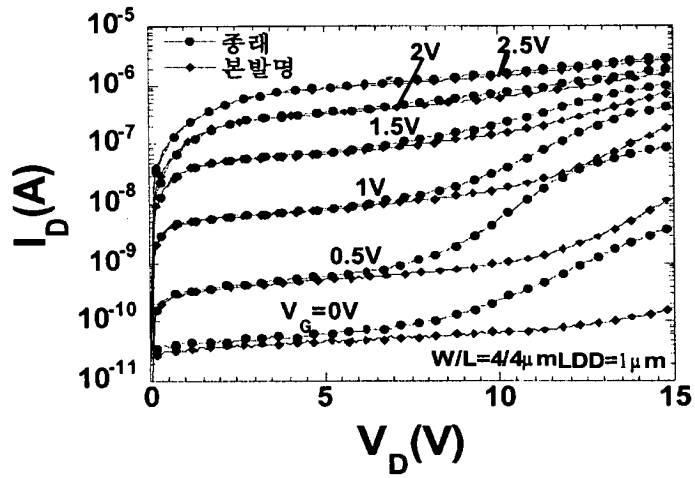
【도 2b】



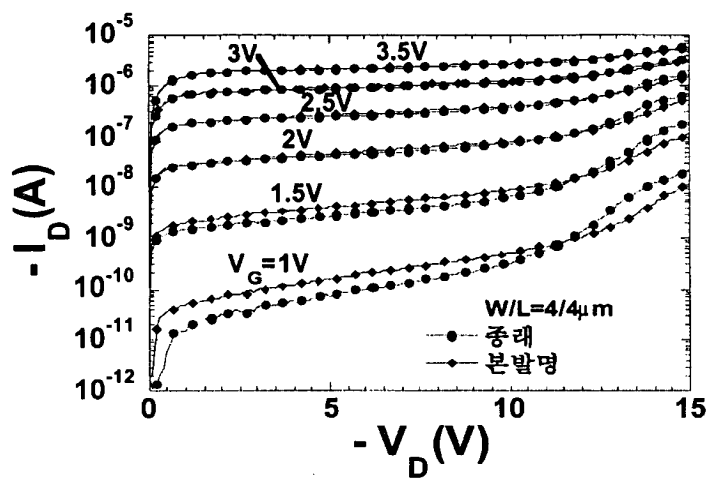
【도 3】



【도 4a】



【도 4b】



【도 5】

